

03500.017683



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
:)
KOHEI MURAYAMA, et al.)
:) Group Art Unit: 2182
Application No.: 10/670,300)
:)
Filed: September 26, 2003)
:)
For: CONTROL METHOD FOR BUS)
PROVIDED WITH INTERNAL)
SWITCH) February 23, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

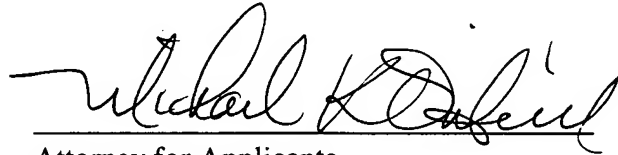
Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is
a certified copy of the following foreign application:

JP 2002-285578, filed September 30, 2002.

Applicants' undersigned attorney may be reached in our Costa Mesa, California office by telephone at (714) 540-8700. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Michael H. DeFeud", written over a horizontal line.

Attorney for Applicants

Registration No. 32622

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3800
Facsimile: (212) 218-2200

CA_MAIN 77337v1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 3 0 日
Date of Application:

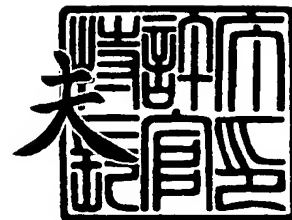
出 願 番 号 特 願 2 0 0 2 - 2 8 5 5 7 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 8 5 5 7 8]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4211088

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 13/36

【発明の名称】 バス制御方法

【請求項の数】 4

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
内

【氏名】 村山 公平

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
内

【氏名】 藤原 隆史

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

**【選任した代理人】****【識別番号】** 100096965**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会
社内**【弁理士】****【氏名又は名称】** 内尾 裕一**【電話番号】** 03-3758-2111**【手数料の表示】****【予納台帳番号】** 011224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908388**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 バス制御方法

【特許請求の範囲】

【請求項 1】 複数のマスターポートと複数のスレーブポートとを持つスイッチを備え、前記複数のマスターポートの各々と前記複数のスレーブポートの任意のポートとを接続可能なバスにおいて、アドレス及びコマンドを発行するアドレスフェーズと、ライトデータを発行するデータフェーズとを分離し、該データフェーズが終了する前に、次のトランザクションのアドレスフェーズを発行可能としたことを特徴とするバス制御方法。

【請求項 2】 前記アドレス及びコマンドとは別にリードリターン信号を用意して、リードリターンデータを、マスターからのアドレス及びコマンドと分離してスイッチングすることを特徴とする請求項 1 に記載のバス制御方法。

【請求項 3】 シングルトランザクションとバーストランザクション、あるいはリードランザクションとライトランザクションにおいて、同一シーケンスでランザクションが発行されることを特徴とする請求項 2 に記載のバス制御方法。

【請求項 4】 トランザクションのスタート信号を、前記スイッチに対するリクエスト信号としても用いることを特徴とする請求項 2 に記載のバス制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置のバス制御方法に関し、特に L S I で実現される複合機器の制御装置などにおける内部スイッチを備えたバスの制御方法に関するものである。

【0002】

【従来の技術】

従来、複合機器の制御装置を L S I で実現する際、メモリや R O M その他 I O デバイスに対するアクセスを行う場合、システム内には様々な C P U を含むバス

マスタ、バススレーブとなるモジュールが存在する。それぞれのバスマスタは、処理を行うにあたり複数のスレーブにアクセスを行うことが多い。

【0003】

そのため、システム内に存在する各々のマスターモジュールは複数のスレーブモジュールに対してアクセスをする必要があり、それを実現するためにクロスバースイッチといったマスターからスレーブへの接続を切り替えてアクセスを行うよう制御するといった手法が用いられる。

【0004】

従来は、あるマスターがスレーブへとアクセスを行う場合は、スイッチを接続してトランザクションを開始し、ひとつのトランザクションが終了してからそのマスタからのスイッチを解放する手法が取られる。

【0005】

【発明が解決しようとする課題】

しかしながら、従来の手法を用いた場合、あるマスターたとえばCPUが、I/Oデバイスのような遅いデバイスへとリードトランザクションを発行し、他のデバイスに対してライトトランザクションを発行すると言った処理を行う場合、リードトランザクションのデータリターンが返って初めてスイッチを解放し、次のデバイスに対してライトトランザクションを発行するといった手順で行われる。このため、マスターはあるトランザクションへのアクセスが終了するまで、次のトランザクションを発行することができず、また、スレーブは現在のトランザクションが終了するまで次のトランザクションを受け取ることができないという問題があった。

【0006】

【課題を解決するための手段】

本発明は上記問題点に鑑みなされたもので、あるスレーブに対するトランザクションが終了する前に次のトランザクションを発行することにより、システム性能の向上を図ることを目的とする。

【0007】

上記目的を達成するために、本発明に係るバス制御方法は、複数のマスターポ

ートと複数のスレーブポートとを持つスイッチを備え、前記複数のマスターポートの各々と前記複数のスレーブポートの任意のポートとを接続可能なバスにおいて、アドレス及びコマンドを発行するアドレスフェーズと、ライトデータを発行するデータフェーズとを分離し、該データフェーズが終了する前に、次のトランザクションのアドレスフェーズを発行可能としたことを特徴とする。

【0008】

【発明の実施の形態】

以下、本発明の1実施形態について詳細に説明する。

【0009】

図6は、本実施形態のシステム構成を示す図である。複数のマスターモジュール(Master-0~3)と複数のスレーブモジュール(Slave-0~3)とがバスYbusを介して接続されている。

【0010】

バスYbusは、バスYvBus(yv0~3)、バスYiBus(yi0~3)及びスイッチSWで構成されており、複数のマスターモジュール(Master-0~3)がバスYvBus(yv0~3)を介してスイッチSWの複数のマスターポートに接続し、複数のスレーブモジュール(Slave-0~3)がバスYiBus(yi0~3)を介してスイッチSWの複数のスレーブポートと接続している。

【0011】

バスYBusは以下の信号で構成される。マスターモジュールからスレーブモジュールへの信号として、トランザクション開始信号y__tsp、アドレス信号y__addrp[31:4]、マスターID信号y__midp[4:0]、リードライトコマンド指定信号y__rd__not__wr、命令データ指定信号y__inst__not__data、アクセス長指定信号y__one__not__two、リードバイトイネーブル信号y__rd__byteenp[15:0]、ロック指定信号y__lockp、ライトデータ信号y__wr__datap[127:0]、ライトバイトイネーブル信号y__wr__byteenp[15:0]、スヌープマスク信号y__snoop__maskpを備え、スレーブモジュールからマス

ターモジュールへの信号として、スレーブレディー信号 y_srdyp 、リターンスタート信号 y_rsp 、リターンマスターID信号 $y_rmidp[3:0]$ 、リードデータ信号 $y_rd_datap[127:0]$ 、リードエラー信号 y_rd_errorp を備えるものとする。

【0012】

YBusはアドレスフェーズとデータフェーズとが分離されており、アドレスフェーズとデータフェーズのオーバーラップが可能となっている。以下に各信号の働きとバスのプロトコルを述べる。

【0013】

トランザクション開始信号 y_tsp ： マスターモジュールがトランザクションを開始したいときに発行する。スレーブレディー信号 y_srdyp が発行されるまで、発行しつづける必要がある。 y_srdyp が発行されたタイミングでマスターモジュールのトランザクションが発行され、本信号の発行を解除する。スレーブ側の本信号の本数は、一本でその信号が発行された場合は受け側のスレーブモジュールへのトランザクションであることを意味する。マスターモジュール側の本信号は、アクセスするスレーブモジュールの数だけ用意され、発行するスレーブモジュールに応じて適切な信号を発行する必要がある。本信号は、トランザクションの開始信号のほかに、スイッチに対するスイッチ要求信号として使用される。

【0014】

アドレス信号 $y_addrp[31:4]$ ： アクセスアドレスを示す信号。 y_tsp の発行されるタイミングでアクセスアドレスが確定し、 y_tsp の解除後1サイクル保持する必要がある。

【0015】

マスターID信号 $y_midp[3:0]$ ： アクセスを行うマスターIDを示す信号。マスターモジュールには各々マスターを識別するマスターIDが割り振られており、発行するマスターのマスターIDを発行する。 y_tsp の発行されるタイミングでアクセスアドレスが確定し、 y_tsp の解除後1サイクル保持する必要がある。

【0016】

リードライトコマンド指定信号 `y__rd__not__wr`: 発行するトランザクションのリード・ライトの種別を示す信号。`y__tsp`の発行されるタイミングでアクセスアドレスが確定し、`y__tsp`の解除後1サイクル保持する必要がある。1でリードアクセス。0でライトアクセスとする。

【0017】

命令データ指定信号 `y__inst__not__data`: 発行するトランザクションが命令のフェッチであるかデータアクセスであるかを示す信号。`y__tsp`の発行されるタイミングでアクセスアドレスが確定し、`y__tsp`の解除後1サイクル保持する必要がある。1で命令フェッチ、0でデータアクセス。

【0018】

アクセス長指定信号 `y__one__not__two`: アクセスデータの有効ビット数を示す。YBusにおけるアクセスビット数は128ビットの2ビット固定であり、そのうちの有効ビット数を示す。`y__tsp`の発行されるタイミングでアクセスアドレスが確定し、`y__tsp`の解除後1サイクル保持する必要がある。1で1ビット目のみ有効。0で2ビット有効。

【0019】

リードバイトイネーブル信号 `y__rd__byteenp [15:0]`: リード時に128ビットのうちの有効バイトレーンを示す。本信号は`y__one__not__two`が1ビット有効であるとししたときに128ビット中のどのバイトレーンへのリードアクセスであるかを規定する。`y__tsp`の発行されるタイミングでアクセスアドレスが確定し、`y__tsp`の解除後1サイクル保持する必要がある。1で有効、0で無効。`y__one__not__two`で2ビットアクセスと規定された場合においては本信号はすべてのバイトレーンが有効でなければならない。

【0020】

ロック指定信号 `y__lockp`: ロックトランザクションを示す信号。マスターモジュールが続けてトランザクションを行う場合において、この信号を発行する。この信号が発行されている間はスイッチの接続は解除されない。アクセス

を行う最初のトランザクションで本信号を発行し、最後のトランザクションの `y__t s p` を発行する直前まで発行しつづける必要がある。1でロック発行。

【0021】

ライトデータ信号 `y__w r__d a t a p [127:0]` : ライトデータを示す信号であり、`y__t s p` が発行された次のサイクルから2ビット連続で128ビットデータをバス上に発行する。`y__o n e__n o t__t w o` が発行されている場合は1ビット目のみ有効となる。

【0022】

ライトバイトイネーブル信号 `y__w r__b y t e e n p [15:0]` : ライト時に128ビットのうちの有効ライトバイトレーンを示す。`y__o n e__n o t__t w o` が1ビット有効であると示したときに128ビット中のどのバイトレーンへのライトアクセスが有効であることを規定する。`y__w r__d a t a p` と同一サイクルでライトデータの有効ビットを示す。

【0023】

スヌープマスク信号 `y__s n o o p__m a s k` : マスターからのアクセスでスヌープを行わなくてもよいことを示す。本信号を発行することによって、発行するトランザクションがスヌープの対象外であることを示す。1で発行を示す。

【0024】

スレーブレディー信号 `y__s r d y p` : スレーブ側がマスターモジュールからのトランザクションを受け取る準備ができていることを示す信号。本信号が発行されている間は、マスターは `y__t s p` を発行しトランザクションを発行することができ、スレーブ側はマスターからのトランザクションを必ず受け取らなければならない。スレーブ側の本信号の本数は一本であるが、マスター側にはマスターがトランザクションを発行するスレーブの本数分入力される。1で受け取り可能。

【0025】

リターンスタート信号 `y__r s p` : スレーブからのリードリターントランザクションの開始を示す信号。スレーブ側はリードリターンの準備が出来次第本信号を発行しリードリターントランザクションを開始する。本信号はスレーブ側は

いつでも発行することが可能であり、リードリクエストを発行したモジュールはリードリターントランザクションを必ず受け取らなければならない。本信号の発行期間は1サイクルである。1で発行を示す。本信号はスイッチに対するスイッチ要求信号として併せて使用される。

【0026】

リターンマスターID信号 y_rmidp : リードリターントランザクションのマスターIDを示す。リードトランザクションの場合、スレーブ側ではマスターからの y_midp を保持し、リードリターントランザクション時に同じIDを返す。リードリクエストを発行したマスターモジュールは本信号をデコードし、リターンマスターIDが自分のマスターIDであった場合にリードリターントランザクションを受け取る。本信号は y_rsp の発行と同時に確定させ、 y_rsp の解除後1サイクルまで保持する必要がある。

【0027】

リードデータ信号 $y_rd_datap[127:0]$: リードデータを示す信号である。 y_rsp が発行された次のサイクルから128ビットデータを2ビット発行する $y_one_not_two$ で1ビットを示されたリードアクセスの場合、1ビット目のみ有効となる。

【0028】

リードエラー信号 y_rd_errorp : リードアクセスにおいてエラーとなったことを示す。 y_rsp と同じタイミングで1サイクル発行される。1でエラーを示す。

【0029】

以下にバス調停について示す。

【0030】

バス調停はスイッチ内に設けたアービターにより行われる。トランザクションの開始はマスター発行による y_tsp による。

【0031】

y_tsp の発行によりマスターはスイッチの要求を行い、その要求に対しアクセスを受けるスレーブに対応する y_srdyp が発行される。

【0032】

y__s r d y p は、アクセスを受けるスレーブがトランザクションを受けることが可能な状態であり、かつスイッチの接続が行われたときに発行される。

【0033】

このときにアドレスフェーズのスイッチの接続が確立され、アドレスフェーズのトランザクション、つまり、データ以外のフェーズのトランザクションが可能となる。

【0034】

マスターに入力される y__s r d y p が発行されたのをマスターが確認し、トランザクションが y__t s p を解除し、トランザクションが開始される。

【0035】

スイッチが次のトランザクションのバス調停を行うのは、y__t s p が解除された次のサイクルである。

【0036】

データフェーズのスイッチの確立は、アドレスフェーズのスイッチの確立を受けて行われ、アドレスフェーズが確立された次のサイクルで確立される。

【0037】

アドレスフェーズは、y__t s p と y__s r d y p の両方が発行されたサイクル、つまりアドレスフェーズのスイッチ接続の確立が行われたサイクルから次のサイクルまでの2サイクルであり、データフェーズはアドレスフェーズから1サイクル遅れた2サイクルとなっている。

【0038】

以下にトランザクションのプロトコルについて示す。トランザクションのタイプとして、リードトランザクション、ライトトランザクションとも128ビットシングルビート及び、2ビートのトランザクションのみとなる。

【0039】

シングルビートの場合、有効ビートは最初の1ビートであるが、データフェーズは2ビート固定である。シングルビートと2ビートの転送の切り替えは、マスターが発行する y__o n e __n o t __t w o の発行によって行われる。

【0040】

128ビット以下のアクセスに対しては、すべてシングルランザクションで行われ、ライト、リードそれぞれに対応するバイトイネーブル信号でアクセスバイトを制御する。ランザクションのサイズにかかわらず、アドレスに対するデータの位置は固定とする。2ビットランザクションの場合はすべてのバイトイネーブルを有効としてアクセスする必要がある。

【0041】

またアドレスのアラインはラインにあわせてアクセスされる必要がある。

【0042】**(1) ライトランザクション**

以下にライトランザクションのプロトコルについて示す。図1は、ライトランザクションを行った場合のバスプロトコルを示した図である。内部に示されるサイクル数は、図1内に示されるサイクルに対応している。

【0043】

サイクル2：

マスターはランザクションを開始する際に対応するスレーブに対して `y__tsp` を発行する。同時に、`y__one__not__two`、`y__rd__not__wr`、`y__inst__not__data`、`y__addrp`、`y__midp` を確定し発行する必要がある。

【0044】

サイクル3：

アクセスを行うスレーブの `y__srdyp` が発行されているため、サイクル2でアドレスフェーズのスイッチが確立され、アドレスフェーズが開始され、マスターは `y__tsp` を解除する。`y__one__not__two`、`y__rd__not__wr`、`y__inst__not__data`、`y__addrp`、`y__midp` はそのまま保持する必要がある。サイクル2でアドレスフェーズが確立されているため、1サイクル後の本サイクルにおいてデータフェーズのスイッチが確立される。マスターは1ビット目の `y__wr__datap` と `y__wr__byteenp` を発行する。

【0045】

サイクル4：

アドレスフェーズのトランザクションが終了したため、アドレスフェーズのスイッチの接続が解放され、`y_one_not_two`、`y_rd_not_wr`、`y_inst_not_data`、`y_addrp`、`y_midp`の発行を解除する。また2ビット目の`y_wr_datap`と`y_wr_byteenp`を発行する。`y_one_not_two`を発行してのトランザクションを行った場合は、本サイクルの`y_wr_datap`と`y_wr_byteenp`は無効となる。

【0046】

サイクル5：

データフェーズのトランザクションが終了し、データフェーズのスイッチの接続が解放されライトトランザクションが終了する。

【0047】

サイクル8、9：

マスターが次のトランザクションを開始するため、対応するスレーブに対し`y_tsp`を発行して`y_one_not_two`、`y_rd_not_wr`、`y_inst_not_data`、`y_addrp`、`y_midp`を確定させる。スレーブ側は`y_srdyp`が発行されていないため受け入れ状態ではなく、マスターは`y_tsp`を発行しつづける必要がある。

【0048】

サイクル10：

サイクル9において`y_srdyp`が発行され、アドレスフェーズのスイッチの接続が確立されたため、トランザクションが開始される。

【0049】

サイクル11：

アドレスフェーズのスイッチの接続が解放されているため、`y_srdyp`が発行されていれば、本サイクルで次のトランザクションの`y_tsp`を発行しトランザクションを開始する。

【0050】

サイクル12-15:

ライトトランザクションが連続した場合で、トランザクションの間隔がもっとも狭まった状態においては、ギャップなしでトランザクションを開始することができる。

【0051】

(2) リードトランザクション

以下にリードトランザクションにおけるプロトコルを示す。図2は、リードトランザクションを行った場合のバスプロトコルを示した図である。内部に示されるサイクル数は図2に示されるサイクル数に対応している。

【0052】

サイクル2:

マスターはトランザクションを開始する際に、対応するスレーブに対して `y J s p` を発行する。同時に `y__one__not__two`、`y__rd__not__wr`、`y__inst__not__data`、`y__addrp`、`y__midp`、`y__rd__byteenp` を確定させ発行する必要がある。

【0053】

サイクル3:

アクセスを行うスレーブの `y__sr dy p` が発行されているため、サイクル2でアドレスフェーズのスイッチが確立され、アドレスフェーズが開始され、マスターは `y__t s p` を解除する。`y__one__not__two`、`y__rd__not__wr`、`y__inst__not__data`、`y__addrp`、`y__midp`、`y__rd__byteenp` はそのまま保持する必要がある。サイクル2でアドレスフェーズが確立されているため、1サイクル後の本サイクルにおいてデータフェーズのスイッチが確立される。

【0054】

サイクル4:

アドレスフェーズのトランザクションが終了したため、アドレスフェーズのスイッチの接続が解放され、`y__one__not__two`、`y__rd__not__w`

r、y__inst__not__data、y__addrp、y__midp、y__rd__byteenpの発行を解除する。以上のサイクルで、マスターが発行するリードコマンドのトランザクションが終了する。

【0055】

サイクル6:

スレーブはリードリターンデータの準備ができたなら、y__rspとy__rmidpを発行してリードリターントランザクションを開始する。y__rmidpはマスターが発行したy__midpを発行する。リードトランザクションがエラーであった場合、y__rd__errorpを発行する。

【0056】

サイクル7:

y__rspの発行を解除する。また、y__rd__errorpを発行した場合は、y__rd__errorpの発行を解除する。1ビット目のリードデータをy__rd__datapに発行する。

【0057】

サイクル8:

y__rmidpの発行を解除し、y__wr__datapに2ビット目のリードデータを発行する。y__one__not__twoを発行してのリードトランザクションであった場合は2ビット目のデータは無効である。

【0058】

サイクル9:

リードトランザクション終了

サイクル9, 10: マスターが次のトランザクションを開始するため、対応するスレーブに対しy__tspを発行してy__one__not__two、y__rd__not__wr、y__inst__not__data、y__addrp、y__midpを確定させる。スレーブ側はy__srdypが発行されていないため受け入れ状態ではなく、マスターはy__tspを発行しつづける必要がある。

【0059】

サイクル11:

サイクル10において $y_s r d y p$ が発行され、アドレスフェーズのスイッチの接続が確立されたため、トランザクションが開始される。

【0060】

サイクル12:

アドレスフェーズのスイッチの接続が解放されているため、 $y_s r d y p$ が発行されていれば、本サイクルで次のトランザクションの $y_t s p$ を発行しトランザクションを開始する。リードトランザクションが連続した場合で、トランザクションの間隔がもっとも狭まった状態においては、ギャップなしでトランザクションを開始することができる。

【0061】

以上のプロトコルを用いることにより、アドレスフェーズと、データフェーズとに分離して、スイッチの接続が切り替えられ、それぞれ解放されるため、複数のマスターから同一のスレーブへ、あるいは同一のマスターから複数のスレーブに対して、アクセスを並行して発行することができる。

【0062】

(3) 複数マスタートランザクション

以下に、複数のマスターからひとつのスレーブに対してトランザクションを行う時の処理手順を、図3を用いて示す。

【0063】

図中の Y_v はマスター側のバスであり、 Y_i はスレーブ側のバスでプロトコルは同一である。 Y_v と Y_i はスイッチを介して接続されている。図3に示される二つのマスターは同サイクルで $y_t s p$ を発行するが、スレーブ側からの $y_s r d y p$ は一方のマスターに対してのみ $y_s r d y p$ を発行し、スイッチの接続を確立する。

【0064】

アクセスを行っているマスターのアドレスフェーズが終了した時点で、もう一方のマスターに対して $y_s r d y p$ を発行してスイッチの接続を確立し、トランザクションが開始される。リードリターンにおいて、スレーブは $y_r m i d p$ を発行してスレーブへとデータを転送する。マスター側はスレーブから発行さ

れるリードリターンデータのうち、そのマスターに割り当てられたマスターIDが発行されているリードリターンデータを取り込んで、リードトランザクションを終了する。

【0065】

スレーブ側は、同一マスターからのリードトランザクションであった場合においては、アクセスされた順序どおりにリードデータを返す必要がある。

【0066】

(4) 複数スレーブアクセストランザクション

以下に、単一マスターが複数スレーブに対してアクセスを行うトランザクションの処理手順を、図4を用いて示す。

【0067】

マスター側は、アクセスするスレーブに該当する `y__t s p` を発行することにより、スレーブを選択してトランザクションを開始する。

【0068】

マスター側は、アドレスフェーズが終了した時点でスイッチが解放されるため、次のトランザクションを発行することができ、一方のトランザクションのアドレスフェーズ終了時点で、次のアクセスするマスターに対応する `y__t s p` を発行し、トランザクションを開始できる。

【0069】

(5) 連続トランザクション

以下に、あるマスターが同一のスレーブに対して連続してトランザクションを発行する時の処理手順を、図5を用いて示す。

【0070】

あるマスターが連続してアクセスを行う場合、`y__l o c k p` を発行する。`y__l o c k p` が発行されると、スイッチ内のアービターはアドレスフェーズが終了してもスイッチを解放せずに、スイッチの接続を確立させたままの状態を維持する。したがってマスターは、スレーブ側の準備がなされていれば、次のトランザクションを開始することができる。スイッチは、`y__l o c k p` が発行されると、その発行が解除されるまでスイッチの接続を維持する。マスターは、連続ト

ランザクションを行う場合、`y__lockp`を発行している間は同一スレーブに対してのみアクセスをおこなわなければならない。

【0071】

スイッチは、複数マスター、複数スレーブを接続し、マスターからスレーブへのスイッチ接続の機構と、リードリターンデータの転送経路を提供する。

【0072】

マスターからスレーブへのスイッチ接続機構は、バス調停機構を含んでおり、マスターからの`y__tsp`とスレーブからの`y__srdyp`の発行を見て、スイッチ接続の確立を行う。スイッチ接続の調停は、複数マスタートランザクション、複数スレーブトランザクションで述べたように、マスターの発行する`y__tsp`と該当するスレーブの発行する`y__srdyp`の使用状況により、スイッチの接続の確立を制御する。

【0073】

同時に複数のマスターがスイッチの接続を要求した際には、調停機構により接続を許可するマスターを選択して、`y__srdyp`をマスターに発行する。

【0074】

【発明の効果】

以上説明したように、本発明によれば、アドレスフェーズとデータフェーズのオーバーラップが可能となり、また、リードリクエストがマスターからのアクセスとは別にスイッチングされるため、マスターがリードリターンが戻る前に他のスレーブに対してトランザクションを開始することができる。

【0075】

これにより、複数マスター、複数スレーブとが接続される複数機器の制御装置などにおいて、マスターが複数スレーブに、また複数マスターが同一スレーブに対してトランザクションを同時に発行することが可能となる。

【0076】

従って、遅いデバイスに対してアクセスを行っている際にも、高速デバイスに対してトランザクションを発行できるため、全体の処理性能の低下をすることがなく、高いバンド幅を維持したスイッチの機構を提供することができる。

【0077】

また、シングルランザクション、バーストランザクションが同一のシーケンスを行うことで、ハードウェアの制御が単純化される。

【0078】

また、スイッチのリクエスト信号を、ランザクションのスタート信号として用いることにより、要求信号に対する認識信号を受け取る必要がなく、スイッチ要求に対する応答時間を早めることにより、性能の向上が得られる。

【図面の簡単な説明】**【図1】**

ライトランザクションを行った場合のバスプロトコルを示した図である。

【図2】

リードランザクションを行った場合のバスプロトコルを示した図である。

【図3】

複数マスターから単一スレーブでランザクションを行った場合のバスプロトコルを示した図である。

【図4】

単一マスターから複数スレーブに対してランザクションを行った場合のバスプロトコルを示した図である。

【図5】

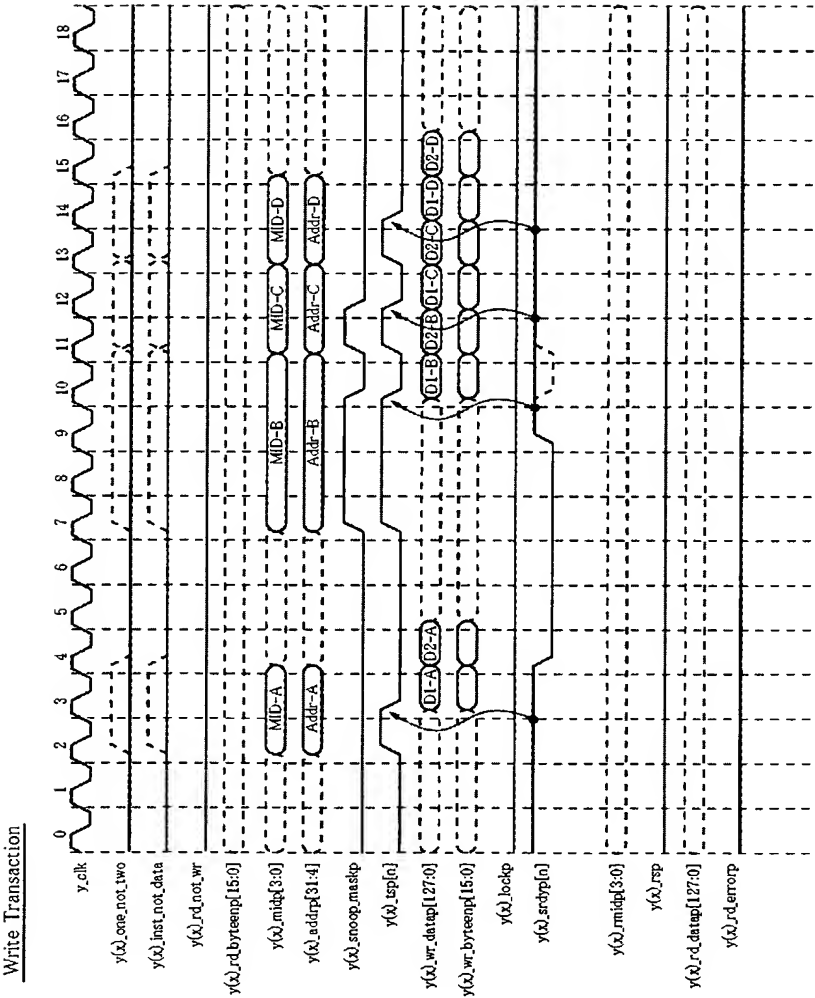
マスターが同スレーブに対して連続ランザクションを行った時のプロトコルを示した図である。

【図6】

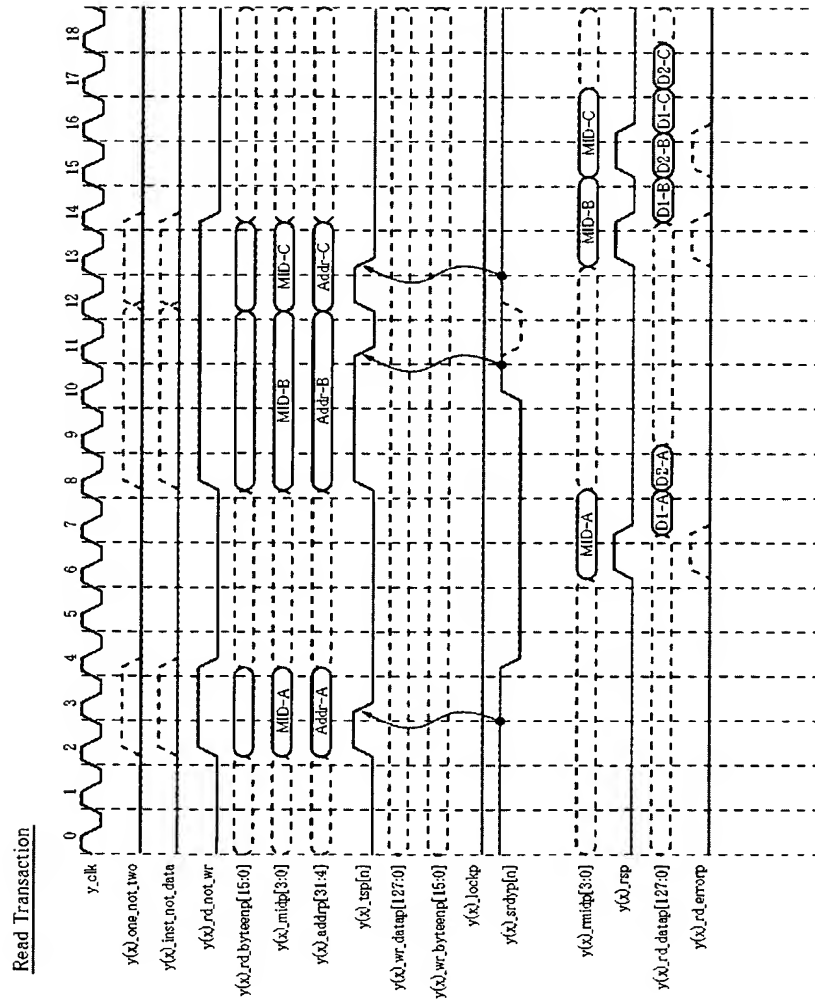
複数マスターと複数スレーブがスイッチを介し、バスに接続している構造を示した概念図である。

【書類名】 図面

【図 1】

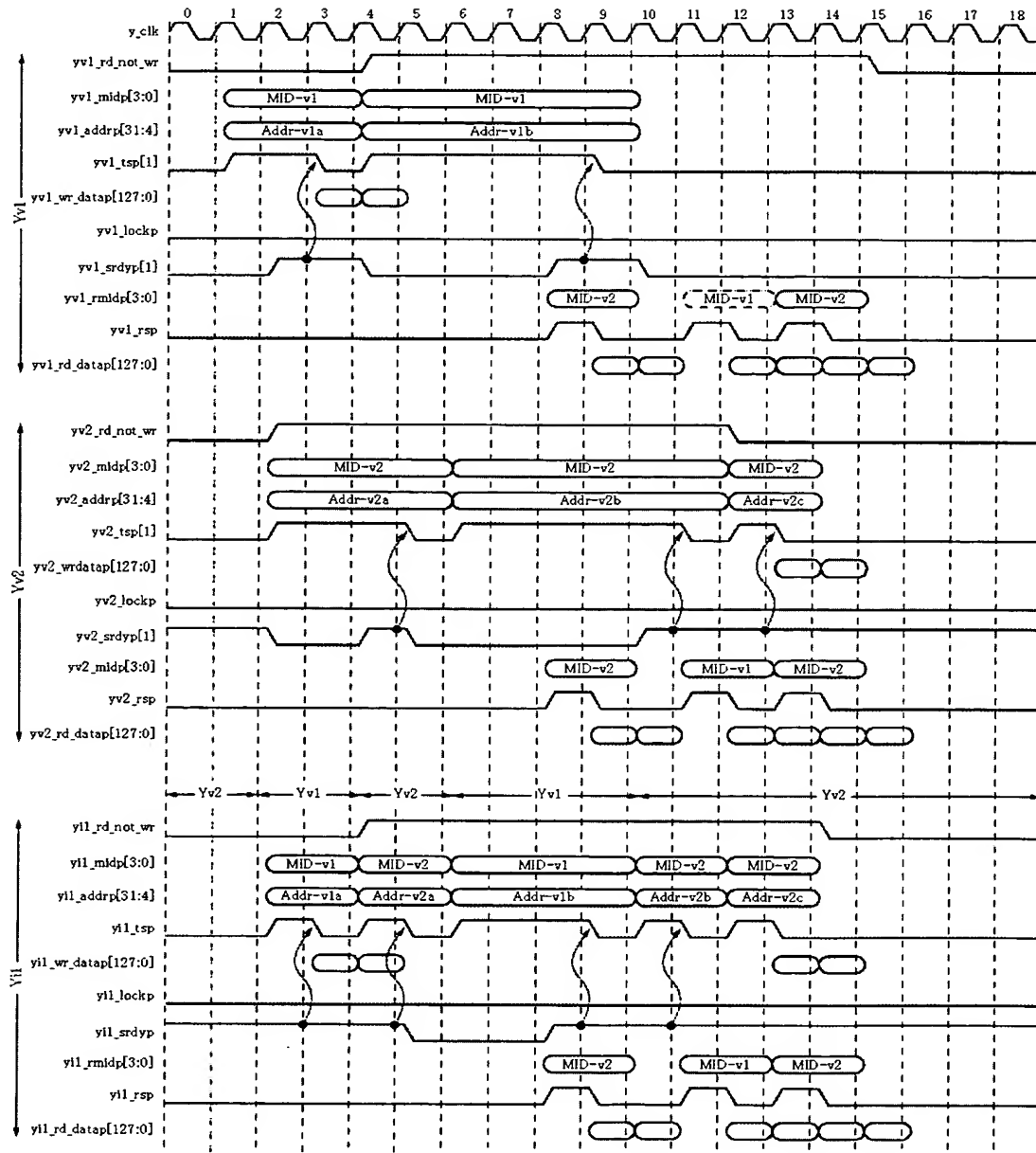


【図 2】

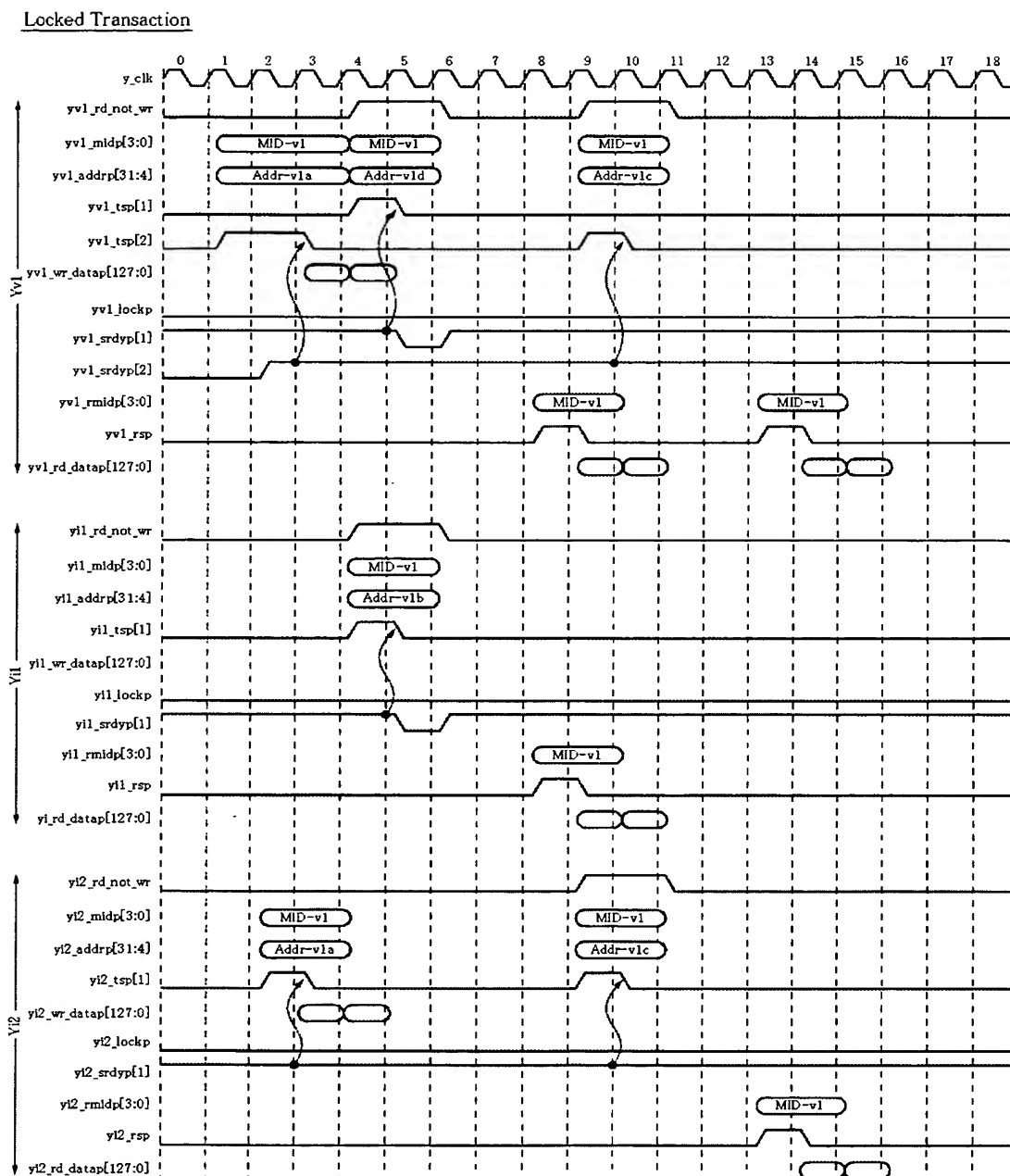


【図 3】

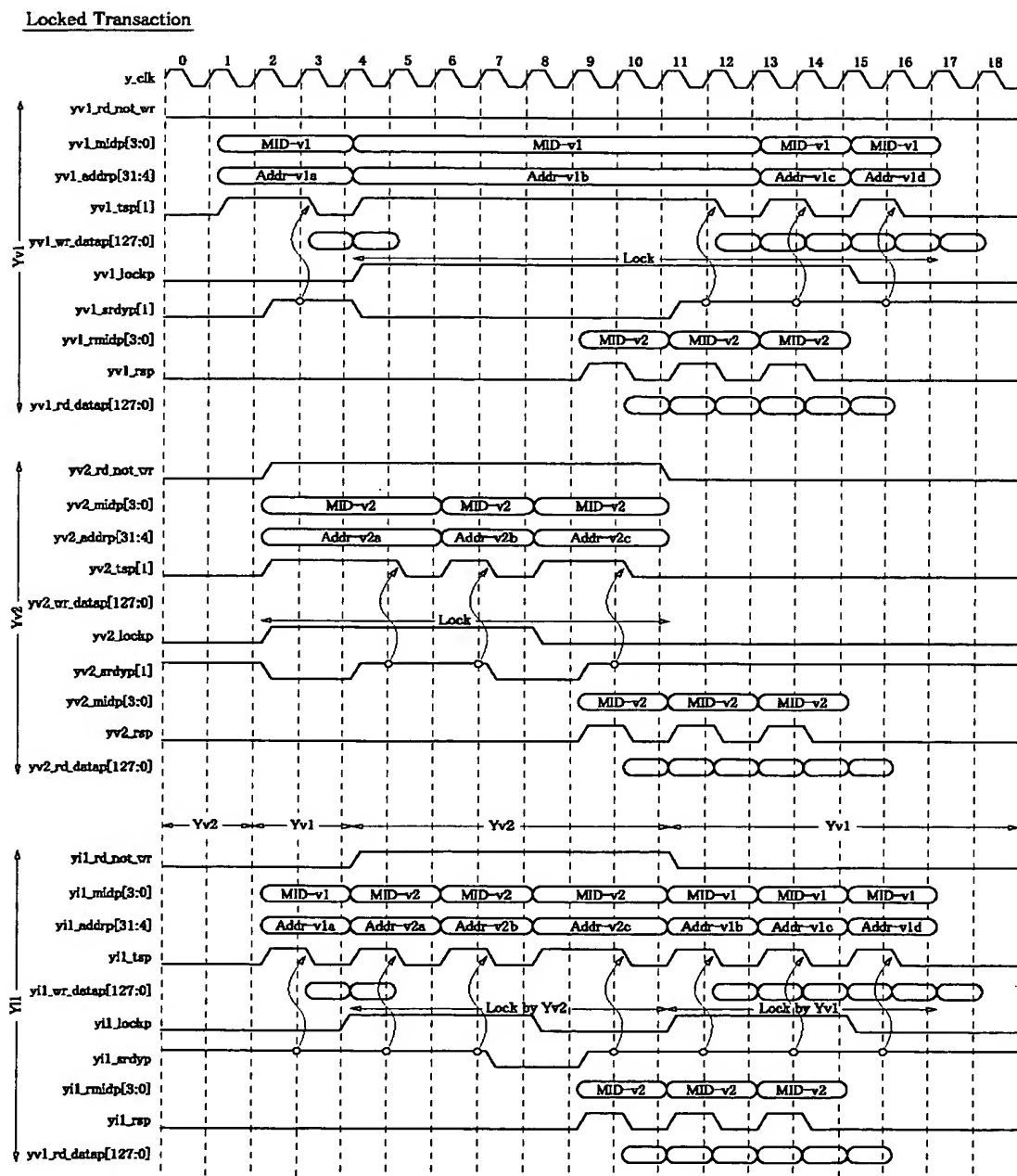
Multi Master Transaction



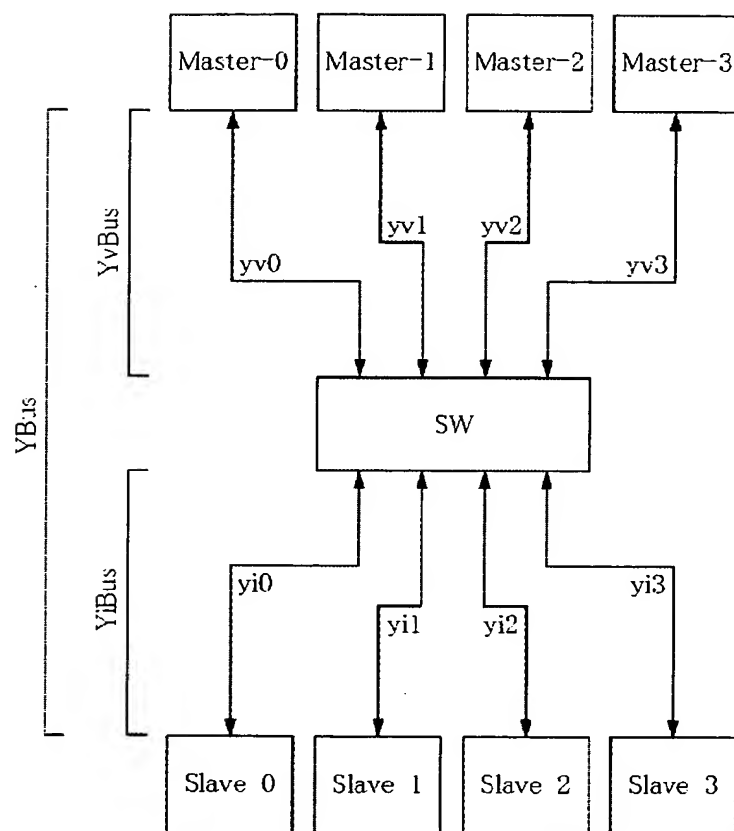
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 複数のマスターモジュールとスレーブモジュールとがバスにより接続されたシステムにおける性能を向上させる。

【解決手段】 複数のマスターポートと複数のスレーブポートとを持つスイッチ S W を備え、前記複数のマスターポートの各々と前記複数のスレーブポートの任意のポートとを接続可能なバス Y b u s において、アドレス及びコマンドを発行するアドレスフェーズと、ライトデータを発行するデータフェーズとを分離し、該データフェーズが終了する前に、次のトランザクションのアドレスフェーズを発行可能とした。

【選択図】 図 6

特願 2 0 0 2 - 2 8 5 5 7 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社